 Universidade Federal do Rio Grande do Norte (UFRN)

Centro de Tecnologia

Departamento de Engenharia Elétrica – DEE

Samaherni Morais Dias

**PROJETO 3A**

|  |  |
| --- | --- |
| Dados de Identificação | |
| Comp. Curricular: | ELE2715.0 – CIRCUITOS DIGITAIS TEORIA |
| Componentes: | Sâmela Bruna Ferreira |

Para a elaboração deste projeto primeiro foi desenvolvido e implementado uma máquina de estados de baixo nível (MDE) que tem como finalidade funcionar como o controlador do projeto RTL. Abaixo segue a máquina de estados com sua determinada explicação:



**Figura 1- Máquina de Estados**

A máquina acima possui 4 estados nomeados de inicial(00), espera(01), carregamento(10) e troca(11). A máquina começa no estado 00 mas imediatamente após o primeiro clock fica no estado de espera denominado estado 01, nesse estado ele apenas muda pra o estado de carregamento caso o botão de LD seja apertado e GO não seja, vale ressaltar que para este projeto foi utilizado a lógica inversa de botão, no qual o botão manda 1 quando não está pressionado e 0 quando é pressionado.

Durante o estado do carregamento o LD\_R vai pra zero ativando o load dos registradores passando o que está na entrada pra saída e o sinal criado nomeado de Stack vai pra “1” mostrando que está no estado de carregamento serial, ou seja, o bit de seleção dos multiplexadores(MXA,MXB,MXC) que tem como lógica um conjuntos de portas OR fará com que os bits de seleção recebam “11” e consequentemente aconteça a transmissão serial fazendo com que o REG C receba o que está na saída do REG B, REG B receba o que está na saída do REG A e REG A receba o que está na chave , após um clock a máquina retorna para o estado de espera onde permanece até que um dos dois botões (LD,GO) sejam pressionados.

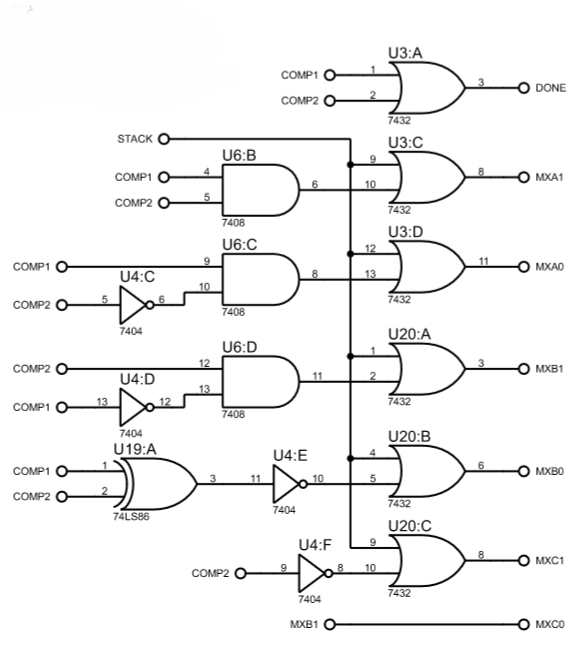
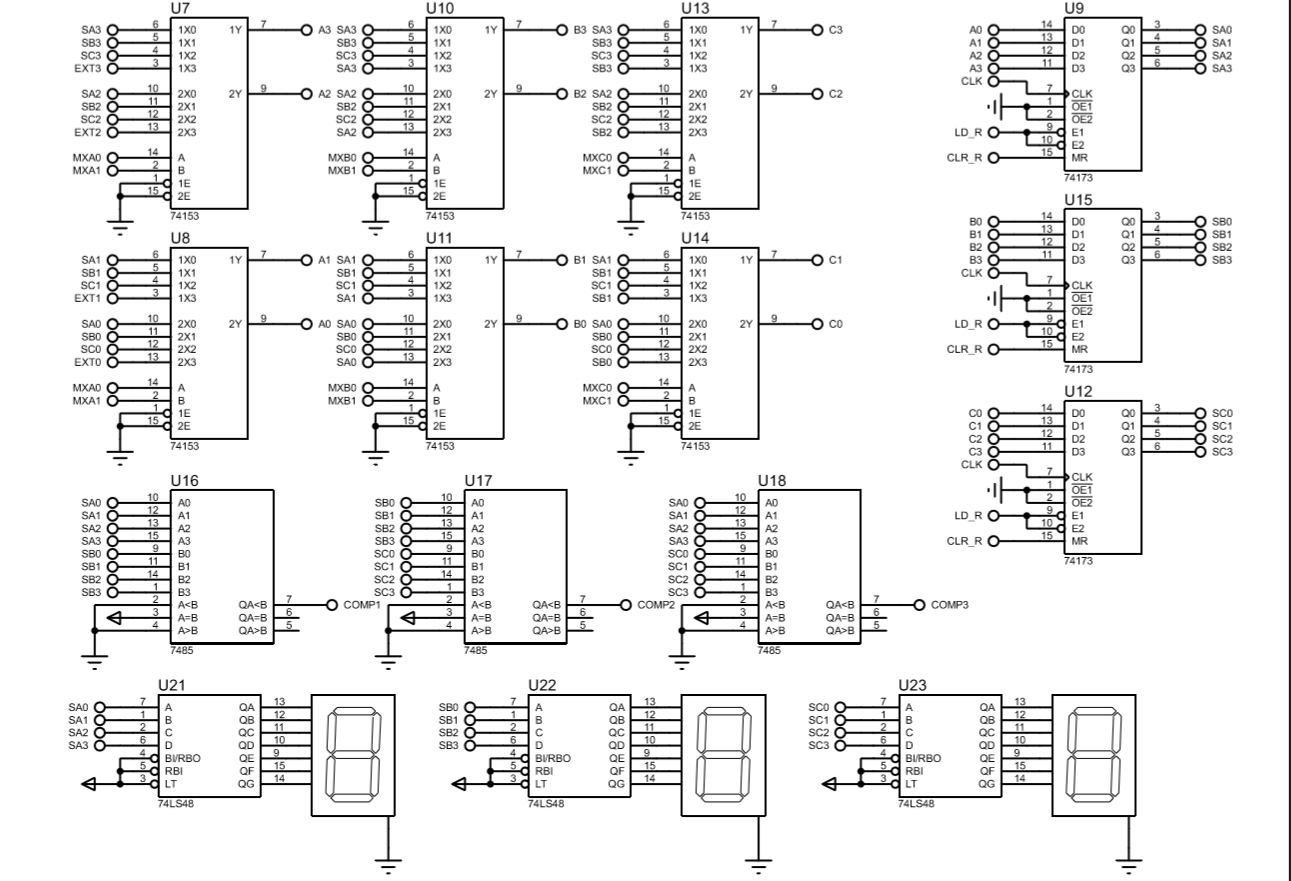
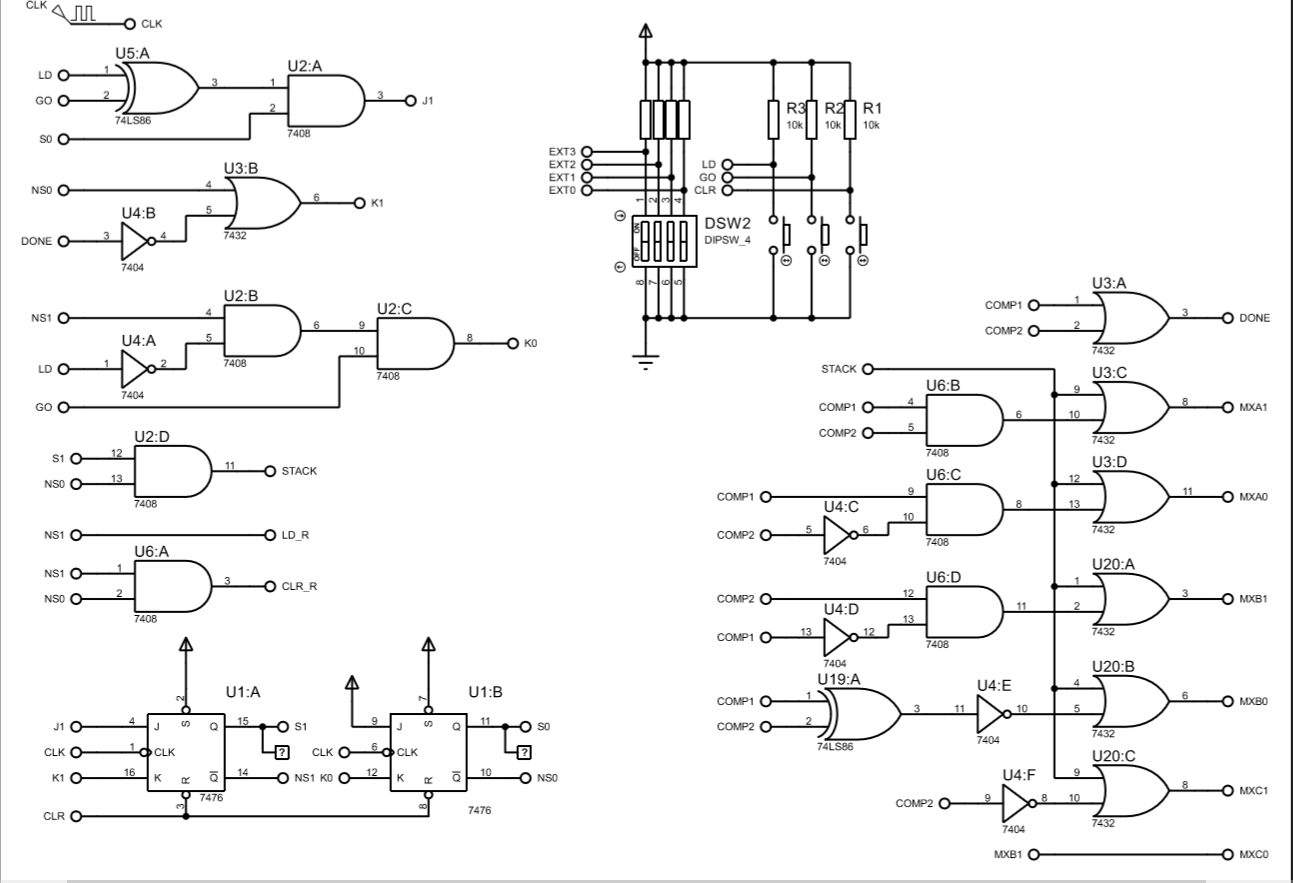
 Caso Go seja apertado o estado seguinte será o estado de troca onde o LD\_R recebe “0” carregando o que está nos multiplexadores para a saída dos registradores, nesse estado irá permanecer até que a variável DONE que é uma saída oriunda do datapath no qual será “1” enquanto estiver ordenando/trocando os números, essa variável é ativada a partir de uma lógica vinda dos comparadores, quando DONE for “0” , ou seja, quando a ordenação tiver acabado no caso os números estiverem na ordem decrescente a máquina retornará para o estado de espera e para retornar ao estado inicial é necessário apertar o CLR.



Figura - Lógica dos Bits de Seleção

Figura - Projeto RTL

Para uma melhor visualização das lógicas usadas segue abaixo a circuitaria do controlador e o datapath.